

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-168747

(43)Date of publication of application : 13.06.2003

(51)Int.Cl.

H01L 21/8247
 G11C 16/02
 G11C 16/04
 H01L 27/115
 H01L 29/788
 H01L 29/792

(21)Application number : 2001-359686

(71)Applicant : EMEMORY TECHNOLOGY INC

(22)Date of filing : 26.11.2001

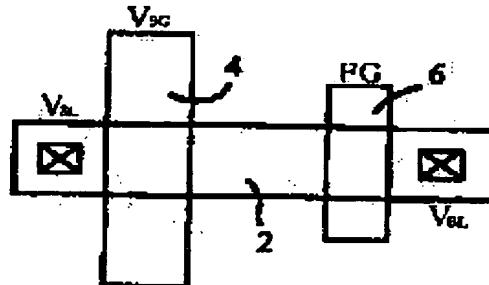
(72)Inventor : YO SEISHO
 CHIN SHIKETSU
 JO SEISHO

(54) SINGLE TWIN SILICON BURIED ERASABLE AND PROGRAMMABLE ROM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an erasable and programmable ROM capable of saving a layout space and capable of matching the manufacturing process of a CMOS.

SOLUTION: The programmable ROM comprises a first and second PMOSs connected in series and the first p-type metallic oxide film semiconductor is employed as a select transistor. The gate electrode of the select transistor is connected to a select gate voltage (V_{SG}) and a first terminal (source) is connected to a source line voltage (V_{SL}) while the second terminal (drain) is connected in series to the first terminal of a second p-type metallic oxide film semiconductor (PMOS). The second terminal of the second p-type metallic oxide film semiconductor (PMOS) is connected to the bit line voltage (V_{BL}) and the gate electrode of the second p-type metallic oxide film semiconductor (PMOS) is used as a floating gate.



LEGAL STATUS

[Date of request for examination] 10.12.2002

[Date of sending the examiner's decision of rejection] 28.02.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

- [Number of appeal against examiner's decision 2006-10946 of rejection]
- [Date of requesting appeal against examiner's decision of rejection] 29.05.2006
- [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-168747

(P2003-168747A)

(43)公開日 平成15年6月13日(2003.6.13)

(51)Int.Cl.⁷

H 01 L 21/8247

G 11 C 16/02

16/04

H 01 L 27/115

29/788

識別記号

F I

テマート(参考)

H 01 L 29/78

3 7 1 5 B 0 2 5

27/10

4 3 4 5 F 0 8 3

G 11 C 17/00

6 2 3 A 5 F 1 0 1

審査請求 有 請求項の数17 O L 外国語出願 (全 30 頁) 最終頁に続く

(21)出願番号

特願2001-359686(P2001-359686)

(71)出願人 501247197

力旺電子股▲フン▼有限公司

台湾新竹市千甲里水利路81號8樓之3

(22)出願日 平成13年11月26日(2001.11.26)

(72)発明者 楊 青松

台湾彰化縣溪湖鎮大溪路二段425巷5號

(72)発明者 沈 士傑

台湾新竹市新光路81號12樓

(72)発明者 徐 ▲清▲▼祥▲

台湾新竹市建中路100-28號

(74)代理人 100065776

弁理士 志村 正和

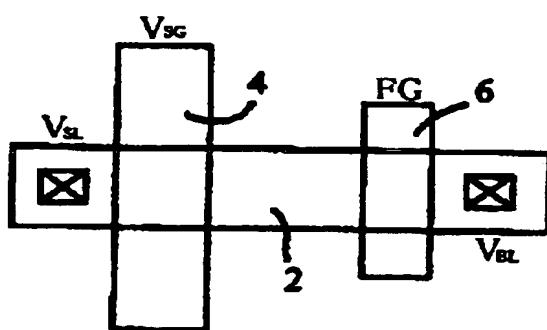
最終頁に続く

(54)【発明の名称】 単一双晶ケイ素埋め込み式消去型プログラマブル・ロム

(57)【要約】

【課題】 レイアウト空間を節減することができ、CMOS 製造工程と整合することのできる消去型プログラマブル・ロムを提供することを課題とする。

【解決手段】 2つの直列した第1と第2のPMOSを含んでなり、該第1p型金属酸化膜半導体はセレクトトランジスタとし、そのセレクトトランジスタのゲート電極をセレクトゲート電圧(VSG)に接続し、第1ターミナル(ソース)をソースライン電圧(VSL)に接続し、第2ターミナルは(ドレイン)は該第2p型金属酸化膜半導体(PMOS)の第1ターミナルに直列し、該第2p型金属酸化膜半導体(PMOS)の第2ターミナルはピットライン電圧(VBL)に接続し、該第2p型金属酸化膜半導体(PMOS)のゲート電極をフローティングゲートとする。



【特許請求の範囲】

【請求項1】 一種の消去型プログラマブルリードオンリーメモリであって、少なくとも2つの直列した第1と第2のp型金属酸化膜半導体(PMOS)を含んでなり、

該第1p型金属酸化膜半導体はセレクトトランジスタとし、かつゲート電極をセレクトゲート電圧(VSG)にカップリングするとともに、第1ターミナル(ソース)をソースライン電圧(VSL)に接続し、第2ターミナル(ドレイン)は該第2p型金属酸化膜半導体の第1ターミナルに接続し、

該第2p型金属酸化膜半導体のゲート電極はフローティングゲートとし、

コントロールゲートに特定のバイアスを印可することなくプログラミングモードを実行し、適宜なバイアスの条件を利用してキャリアを自動的に該フローティングゲートに注入することを特徴とする消去型プログラマブルリードオンリーメモリ。

【請求項2】 前記消去型プログラマブルリードオンリーメモリに”1”を書き込む場合、選択されたワードラインが接地(0電圧)であって、選択されないワードラインのバイアスを第1電圧とし、選択されたピットラインを0電圧とし、選択されないピットのバイオスを該第1電圧とし、ソースバイアスを該第1電圧とし、Nウェルを該第1電圧とする条件において、選択された該セレクトトランジスタを解放状態(tuen on)として熱電子を該フローティングゲートに注入することを特徴とする請求項1に記載の消去型プログラマブルリードオンリーメモリ。

【請求項3】 前記第1電圧が5ボルトであることを特徴とする請求項2に記載の消去型プログラマブルリードオンリーメモリ。

【請求項4】 前記消去型プログラマブルリードオンリーメモリに”0”を書き込む場合、選択されたワードラインが接地(0電圧)であって、選択されないワードラインのバイアスを第2電圧とし、選択されたピットラインを該第2電圧とし、選択されないピットのバイオスを該第2電圧とし、ソースバイアスを該第2電圧とし、Nウェルを該第2電圧とする条件において、デバイスが閉鎖状態にあって熱電子を該フローティングゲートに注入できないようにすることを特徴とする請求項1に記載の消去型プログラマブルリードオンリーメモリ。

【請求項5】 前記第2電圧が5ボルトであることを特徴とする請求項4に記載の消去型プログラマブルリードオンリーメモリ。

【請求項6】 前記消去型プログラマブルリードオンリーメモリが読み取り状態の場合、選択されたワードラインが接地(0電圧)であって、選択されないワードラインのバイアスを第3電圧とし、選択されたピットラインを第4電圧とし、選択されないピットのバイオスを該第

3電圧とし、ソースバイアスを該第3電圧とし、Nウェルを該第3電圧とする条件において、選択された該セレクトトランジスタを解放状態(tuen on)として該フローティングゲートの数値を読みとるための状態とすることを特徴とする請求項1に記載の消去型プログラマブルリードオンリーメモリ。

【請求項7】 前記第3電圧が3.3ボルトであることを特徴とする請求項6に記載の消去型プログラマブルリードオンリーメモリ。

【請求項8】 前記第4電圧が2.3ボルトであることを特徴とする請求項6に記載の消去型プログラマブルリードオンリーメモリ。

【請求項9】 フローティングゲートを設けない消去型プログラマブルリードオンリーメモリであって、少なくともイオン注入領域と、第1導電領域と、第2導電領域とを具えてなり、

該第1イオン打ち込み領域はイオン打ち込み技術を利用して基板に形成され、

該第1導電領域は基板を覆うように形成され、且つ該イオン打ち込み領域と交差して第1交差積層領域を形成し、セレクトトランジスタのゲート電極としてセレクトゲート電圧(VSG)に接続し、該第1導電領域の側面で基盤上に位置し、且つ該イオン打ち込み領域と交差して第2交差積層領域を形成してフローティングゲートとすることによって、メモリセルにコントロールゲートを配置することなく、レイアウト空間を節減し、半導体技術の趨勢に適い、相補性金属酸化膜半導体(CMOS)の製造工程と整合させることができるようにしたことを特徴とする消去型プログラマブルリードオンリーメモリ。

【請求項10】 前記フローティングゲートを設けない消去型プログラマブルリードオンリーメモリに”1”を書き込む場合、選択されたワードラインが接地(0電圧)であって、選択されないワードラインのバイアスを第1電圧とし、選択されたピットラインを0電圧とし、選択されないピットのバイオスを該第1電圧とし、ソースバイアスを該第1電圧とし、Nウェルを該第1電圧とする条件において、選択された該セレクトトランジスタを解放状態(tuen on)として熱電子を該フローティングゲートに注入することを特徴とする請求項9に記載の消去型プログラマブルリードオンリーメモリ。

【請求項11】 前記フローティングゲートを設けない消去型プログラマブルリードオンリーメモリに”0”を書き込む場合、選択されたワードラインが接地(0電圧)であって、選択されないワードラインのバイアスを第2電圧とし、選択されたピットラインを該第2電圧とし、選択されないピットのバイオスを該第2電圧とし、ソースバイアスを該第2電圧とし、Nウェルを該第2電圧とする条件において、デバイスが閉鎖状態にあって熱電子を該フローティングゲートに注入できないようにすることを特徴とする請求項9に記載の消去型プログラマブル

リードオンリーメモリ。

【請求項12】 前記フローティングゲートを設けない消去型プロマブルリードオンリーメモリが読み取り状態の場合、選択されたワードラインが接地（0電圧）であって、選択されないワードラインのバイアスを第3電圧とし、選択されたビットラインを第4電圧とし、選択されないビットのバイオスを該第3電圧とし、ソースバイアスを該第3電圧とし、Nウェルを該第3電圧とする条件において、選択された該セレクトトランジスタを解放状態（tuen on）として該フローティングゲートの数値を読みとるための状態とすることを特徴とする請求項9に記載の消去型プロマブルリードオンリーメモリ。

【請求項13】 前記フローティングゲートを設けない消去型プロマブルリードオンリーメモリのアレイにおいて、選択されないプログラミング状態にあってセレクトトランジスタが閉鎖状態にあり、かつフローティングからドレインに至る電圧が低いために該消去型プロマブルリードオンリーメモリがドレインの干渉を受けることのない信頼性を具え、かつフローティングゲートはコントロールゲートによって電圧をカッピングさせない為、ゲート電極の干渉が発生することなく信頼性を大きく高められることを特徴とする請求項9に記載の消去型プロマブルリードオンリーメモリ。

【請求項14】 一種の消去型プログラマブルリードオンリーメモリであって、少なくとも2つの直列した第1と第2のp型金属酸化膜半導体（PMOS）含んでなり、

該第1 p型金属酸化膜半導体はセレクトトランジスタとし、該第2 p型金属酸化膜半導体はフローティングゲートとし、

p型金属酸化膜半導体の特性を利用してドレインバイアスから第1負電圧にする場合、該フローティングゲートを第2負電圧にし、

該消去型プログラマブルリードオンリーメモリはコントロールゲートに特定のバイアスを印可することなくプログラミングモードを実行できるようにしたことを特徴とする消去型プログラマブルリードオンリーメモリ。

【請求項15】 前記セレクトトランジスタのゲート電極がセレクトゲート電圧（VSG）に接続することを特徴とする請求項14に記載の消去型プログラマブルリードオンリーメモリ。

【請求項16】 前記セレクトトランジスタの第1ターミナル（ソース）をソースライン電圧（VSL）に接続することを特徴とする請求項14に記載の消去型プログラマブルリードオンリーメモリ。

【請求項17】 前記セレクトトランジスタの第2ターミナル（ドレイン）を該第2 p型金属酸化膜半導体（PMOS）に直列し、該第2 p型金属酸化膜半導体（PMOS）の第2ターミナルをビットライン電圧（VBL）に接続することを特徴とする請求項14に記載の消去型

プロマブルリードオンリーメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体素子に関し、特に単一の双晶ケイ素を埋め込んだワンタイムプログラミング（OTP）メモリに関する。

【0002】

【従来の技術】半導体製造工程の趨勢は、超集積度（ULSI）技術に向かって絶え間なく発展している。不揮発性記憶媒体製造の趨勢も、素子のサイズ縮小に向かって発展している。また、不揮発性記憶媒体については、高速アクセスと、低電力化を目指し、ポータブル・デバイス、ソリッドステートカメラ、PCカードなどに応用されている。

【0003】不揮発性記憶媒体は、異なる形式を含む素子であって、例えばE A R O M（電気的書き換え可能メモリ electrically alterable read only memory）、E E P R O M（電気的消去型プログラマブル・ロム electrically erasable programmable read only memory）を含み、異なる形式の素子は、それぞれ特定の進歩的な応用がなされている。これらは、より高い持続性と、高速化のニーズに向かって発展している。E E P R O Mは多層双晶ケイ素の製造工程及び多層酸化ケイ素誘電層を必要とし、複数のフォトマスクの使用することによって製造工程の時間が長くなる。よって、目下研究の焦点はどのようにして異なる製造工程をまとめ、上述の記憶媒体の製造工程と相補性金属酸化膜半導体（complementary metal-oxide semiconductor: CMOS）とを如何に整合して設計するかについても、ますます重視されてきている。

【0004】目下多くの研究はE P R O M、もしくはE E P R O Mについて、単一の双晶ケイ素を利用した製造工程を課題とし、コントロールゲートをケイ素材に埋設してイオンドーピングエリアを形成する方向に向かっている。かかる趨勢によって、単一の双晶ケイ素製造工程と互換性を具えるE P R O M、もしくはワンタイムプログラミング・メモリ（one-time prigramming: OTP）が重要な役割を担うことになる。

【0005】米国特許United States Patent 6,174,759は、発明者がVerhaar等であって2001年7月16日に特許が与えられた。これは埋め込み式の記憶媒体にかかる製造方法を提供するものであって、発明の名称は”Method of manufacturing asemiconductor device”である。出願人はU. S. Philips corporation (New York, NY)であって、出願日は1999年5月3日である。該発明は、相補性金属酸化膜半導体(complementary metal-oxide semiconductor)の製造方法と整合した記憶媒体の製造方法を開示するものである。

【0006】また、Lucent Technologies, Inc.は、2000年5月31日に一種の單一双晶ケイ素消去型プロ

グラマブル記憶媒体を米国特許United States Patent 6,191,980として提示した。該記憶体は制御素子と、スイッチング素子と、消去素子とによって双晶ケイ素フローティングゲート電極を共用する。該特許による記憶媒体はデータの消去を安全に行うことができ、接触面のブレイクダウンが発生しない。

【0007】また、台湾のMosel Vitelic, Inc. (Hsinchu, TW)は、一種の双晶ケイ素記憶媒体を1998年6月17日米国に特許出願し、2000年3月28日に特許が与えられた。発明の名称は"single-poly flash memory cell for embedded application and related methods"であって、米国特許第6,044,018に開示される該記憶媒体は、双晶ケイ素記憶媒体に係る製造方法であつて、フローティングゲートに於いてNMOS (n型金属酸化膜半導体)とPMOS (p型金属酸化膜半導体)とを電気的に接続するものである。

【0008】文献IEEE transaction on electron device, vol. 37, No. 3, March 1990 p.675, には一種の單一双晶ケイ素プログラマブルリードオンリーメモリ (PRO M) が開示される。その構造上の特徴は、埋め込み式のリードオンリーメモリを基板内のドーピングエリアに植設してコントロールゲートとすることにある。この他の特徴としてCMOS製造工程の整合の便宜を図る為に、メモリセルをトランジスターと、互いにカップリングするコンデンサとに分離させたことにある。該メモリセルの構造は、従来の2層の双晶ケイ素による記憶媒体と異なる。更にCMOS製造工程との整合技術については、文献IEEE JOURNAL OF SOLID STATE CIRCUITS, Vol. 29, No. 3, 1994, p. 311を参考にすることができる。その構造は、NMOS及びPMOSを含んでなり、ゲート電極をフローティングゲートとするPMOSゲート電極下方の反転層 (inversion layer) 及びp+ドーピングエリアをコントロールゲートとする正電圧をp+ドーピングエリアに印加すると、フローティングゲートの電圧がNMOSとPMOSの静電容量率 (capacitance ratio) によって決まる。NMOSとPMOSの適宜な電圧を選択することによって、特定の操作モードを得ることができる。該文献によればCMOS製造工程と整合させることができる。即ち、いわゆるSIPPOS (single poly pure CMOS) 構造である。

【0009】図1に従来の單一双晶ケイ素による不揮発性記憶媒体のレイアウトを開示する。該記憶媒体は、フローティングゲートの下方にあって、基板に埋設されるn+ドーピング領域を含む。このような構造は基板の面積をかなり浪費し、半導体技術発展の趨勢に背くものである、図2には他のレイアウトによる構造を開示する。図示による不揮発性記憶媒体はコンデンサとPMOSによって構成される。但し、この構造もまたコンデンサを製造する面積を必要とする。

【0010】

【発明が解決しようとする課題】本発明は一種の不揮発性記憶媒体、もしくはワンタイム (OTP) メモリであつて、直列した2つの消去型プログラマブルリードオンリーメモリを含むPMOS (p型金属酸化膜半導体 p-type metal-oxide semiconductor) を具え、相補性金属酸化膜半導体 (complementary metal-oxide semiconductor : CMOS) 製造工程との整合に有利な構造をえることによって、レイアウト空間を節減できる揮発性記憶媒体、もしくはワンタイム (OTP) メモリを提供することを課題とする。

【0011】

【課題を解決するための手段】そこで本発明者は、従来の技術にみられる欠点に基づいて鋭意研究を重ね、コントロールゲートを具えない消去型プログラマブルリードオンリーメモリにおいて、そのレイアウトはイオン打ち込み領域と、第1、第2の導電領域とを含み、該イオン打ち込み領域はイオン落ち込み技術によって基板に形成される。該第1導電領域は該基板を覆い、かつ該イオン打ち込み領域と交差して第1交差積層領域を形成してセレクトトランジスタのゲート電極とし、かつセレクトゲート電圧 (VSG) に接続し、該第2導電領域は、該第1導電領域の一側面で、かつ該基板上に位置し、該イオン打ち込み領域と交差して第2交差積層領域を形成してフローティングゲートとする構造に着眼し、かかる見地に基づいて本発明の完成に至った。

【0012】即ち、本願発明は、メモリセルにコントロールゲートを配置しないためレイアウト空間を広く取れることを特徴とし、半導体技術発展の趨勢に適い、かつCMOS製造工程と整合することができる。

【0013】また、本願発明の消去型プログラマブルリードオンリーメモリは、直列したp型金属酸化膜半導体によってなるメモリセルを含んでなり、該メモリセルはセレクトトランジスタとする第1 p型金属酸化膜半導体と、第2 p型金属酸化膜半導体トランジスタとを含んでなり、ゲート電極はフローティングゲートとする。またp型金属酸化膜半導体の特性を利用してドレインバイアスから第1負電圧にする場合、該フローティングゲートの電圧を第2負電圧する。このため、該消去型プログラマブルリードオンリーメモリはコントロールゲートに特定のバイアスを印可してプログラミングを実行する必要がない。また、該消去型プログラマブルリードオンリーメモリは、プログラミングの操作においてゲート電極とドレンの電圧干渉問題 (gate disturbance and disturbance) が発生することなく、好ましい信頼性を得ることができる。

【0014】以下に詳述する。請求項1に記載する消去型プログラマブルリードオンリーメモリは、少なくとも2つの直列した第1と第2のp型金属酸化膜半導体 (PMOS) を含んでなり、該第1 p型金属酸化膜半導体はセレクトトランジスタとし、かつゲート電極をセレクト

50

ゲート電圧 (VSG) にカップリングとともに、第1ターミナル (ソース) をソースライン電圧 (VSL) に接続し、第2ターミナル (ドレイン) は該第2p型金属酸化膜半導体の第1ターミナルに接続し、該第2p型金属酸化膜半導体のゲート電極はフローティングゲートとし、コントロールゲートに特定のバイアスを印可することなくプログラミングモードを実行し、適宜なバイアスの条件を利用してキャリアを自動的に該フローティングゲートに注入する。

【0015】請求項2に記載する消去型プログラマブルリードオンリーメモリは、請求項1における消去型プログラマブルリードオンリーメモリに”1”を書き込む場合、選択されたワードラインが接地 (0電圧) であって、選択されないワードラインのバイアスを第1電圧とし、選択されたビットラインを0電圧とし、選択されないビットのバイオスを該第1電圧とし、ソースバイアスを該第1電圧とし、Nウェルを該第1電圧とする条件において、選択された該セレクトトランジスタを解放状態 (tuen on) として熱電子を該フローティングゲートに注入する。

【0016】請求項3に記載する消去型プログラマブルリードオンリーメモリは、請求項2に記載する第1電圧が5ボルトである。

【0017】請求項4に記載する消去型プログラマブルリードオンリーメモリは、請求項1における消去型プログラマブルリードオンリーメモリに”0”を書き込む場合、選択されたワードラインが接地 (0電圧) であって、選択されないワードラインのバイアスを第2電圧とし、選択されたビットラインを該第2電圧とし、選択されないビットのバイオスを該第2電圧とし、ソースバイアスを該第2電圧とし、Nウェルを該第2電圧とする条件において、デバイスが閉鎖状態にあって熱電子を該フローティングゲートに注入できないようにする。

【0018】請求項5に記載する消去型プログラマブルリードオンリーメモリは、請求項4における第2電圧が5ボルトである。

【0019】請求項6に記載する消去型プログラマブルリードオンリーメモリは、請求項1における消去型プログラマブルリードオンリーメモリが読み取り状態の場合、選択されたワードラインが接地 (0電圧) であって、選択されないワードラインのバイアスを第3電圧とし、選択されたビットラインを第4電圧とし、選択されないビットのバイオスを該第3電圧とし、ソースバイアスを該第3電圧とし、Nウェルを該第3電圧とする条件において、選択された該セレクトトランジスタを解放状態 (tuen on) として該フローティングゲートの数値を読みとるための状態とする。

【0020】請求項7に記載する消去型プログラマブルリードオンリーメモリは、請求項6における第3電圧が3.3ボルトである。

【0021】請求項8に記載する消去型プログラマブルリードオンリーメモリは、請求項6における第4電圧が2.3ボルトである。

【0022】請求項9に記載する消去型プログラマブルリードオンリーメモリは、フローティングゲートを設けない消去型プログラマブルリードオンリーメモリであって、少なくともイオン注入領域と、第1導電領域と、第2導電領域とを具えてなり、該第1イオン打ち込み領域はイオン打ち込み技術を利用して基板に形成され、該第1導電領域は基板を覆うように形成され、且つ該イオン打ち込み領域と交差して第1交差積層領域を形成し、セレクトトランジスタのゲート電極としてセレクトゲート電圧 (VSG) に接続し、該第1導電領域の側面で基盤上に位置し、且つ該イオン打ち込み領域と交差して第2交差積層領域を形成してフローティングゲートとすることによって、メモリセルにコントロールゲートを配置することなく、レイアウト空間を節減し、半導体技術の趨勢に適い、相補性金属酸化膜半導体 (CMOS) の製造工程と整合させることができるようとする。

【0023】請求項10記載する消去型プログラマブルリードオンリーメモリは、請求項1におけるフローティングゲートを設けない消去型プログラマブルリードオンリーメモリに”1”を書き込む場合、選択されたワードラインが接地 (0電圧) であって、選択されないワードラインのバイアスを第1電圧とし、選択されたビットラインを0電圧とし、選択されないビットのバイオスを該第1電圧とし、ソースバイアスを該第1電圧とし、Nウェルを該第1電圧とする条件において、選択された該セレクトトランジスタを解放状態 (tuen on) として熱電子を該フローティングゲートに注入する。

【0024】請求項11に記載する消去型プログラマブルリードオンリーメモリは、請求項9における11フローティングゲートを設けない消去型プログラマブルリードオンリーメモリに”0”を書き込む場合、選択されたワードラインが接地 (0電圧) であって、選択されないワードラインのバイアスを第2電圧とし、選択されたビットラインを該第2電圧とし、選択されないビットのバイオスを該第2電圧とし、ソースバイアスを該第2電圧とし、Nウェルを該第2電圧とする条件において、デバイスが閉鎖状態にあって熱電子を該フローティングゲートに注入できないようにする。

【0025】請求項12に記載する消去型プログラマブルリードオンリーメモリは、請求項9におけるフローティングゲートを設けない消去型プログラマブルリードオンリーメモリが読み取り状態の場合、選択されたワードラインが接地 (0電圧) であって、選択されないワードラインのバイアスを第3電圧とし、選択されたビットラインを第4電圧とし、選択されないビットのバイオスを該第3電圧とし、ソースバイアスを該第3電圧とし、Nウェルを該第3電圧とする条件において、選択された該セレクトトランジスタを解放状態 (tuen on) として該フローティングゲートの数値を読みとるための状態とする。

【0026】請求項13に記載する消去型プログラマブルリードオンリーメモリは、請求項9における第3電圧が3.3ボルトである。

トランジスタを解放状態 (tuen on) として該フローティングゲートの数値を読みとるための状態とする。

【0026】請求項13に記載する消去型プログラマブルリードオンリーメモリは、請求項9におけるフローティングゲートを設けない消去型プログラマブルリードオンリーメモリのアレイにおいて、選択されないプログラミング状態にあってセレクトトランジスタが閉鎖状態にあり、かつフローティングからドレインに至る電圧が低いために該消去型プログラマブルリードオンリーメモリがドレインの干渉を受けることのない信頼性を具え、かつフローティングゲートはコントロールゲートによって電圧をカッピングさせない為、ゲート電極の干渉が発生することなく信頼性を大きく高められる。

【0027】請求項14に記載する消去型プログラマブルリードオンリーメモリは、少なくとも2つの直列した第1と第2のp型金属酸化膜半導体 (PMOS) を含んでおり、該第1 p型金属酸化膜半導体はセレクトトランジスタとし、該第2 p型金属酸化膜半導体はフローティングゲートとし、p型金属酸化膜半導体の特性を利用してドレインバイアスから第1負電圧にする場合、該フローティングゲートを第2負電圧にし、該消去型プログラマブルリードオンリーメモリはコントロールゲートに特定のバイアスを印可することなくプログラミングモードを実行できるようとする。

【0028】請求項15に記載する消去型プログラマブルリードオンリーメモリは、請求項14におけるセレクトトランジスタのゲート電極がセレクトゲート電圧 (V_{SG}) に接続する。

【0029】請求項16に記載する消去型プログラマブルリードオンリーメモリは、請求項14におけるセレクトトランジスタの第1ターミナル (ソース) をソースライン電圧 (V_{SL}) に接続する。

【0030】請求項17に記載する消去型プログラマブルリードオンリーメモリは、請求項14におけるセレクトトランジスタの第2ターミナル (ドレイン) を該第2 p型金属酸化膜半導体 (PMOS) に直列し、該第2 p型金属酸化膜半導体 (PMOS) の第2ターミナルをビットライン電圧 (V_{BL}) に接続する。

【0031】

【発明の実施の形態】この発明は、消去型プログラマブルリードオンリーメモリを製造するための新規な方法と、その構造を提供するものであって、この発明による消去型プログラマブルリードオンリーメモリの主な特徴は、直列した2つのp型金属酸化膜半導体 (PMOS) を含むことにある。該素子の特性はプログラミングモード時においてフローティングゲート上にバイアスを印可する必要がないことにある。よって、素子の構造及びレイアウトの構造においてコントロールゲートの配置を省くことことができる。また、p型金属酸化膜半導体 (PMOS) トランジスタの特性を利用し、直列にする

ことによって自動的なプログラミングが実行できるリードオンリーメモリを得ることができる。いわゆる自動的とは、プログラミングモードにおいてコントロールゲートに特定のバイアスを印加する必要がないことを指す。また、本発明はp型金属酸化膜半導体 (PMOS) を使用し、相補性金属酸化膜半導体 (CMOS) の製造工程との整合に有利である。かかる記憶媒体の構造と効果を詳述するために、具体的な実施例を挙げ、図示を参照にして以下に説明する。

【0032】

【実施例】本発明の実施例について図示を参考にして以下に詳述する。まず、図3にこの発明による消去型プログラマブルリードオンリーメモリトランジスタ素子の回路を開示する。この発明による消去型プログラマブルリードオンリーメモリは、直列された二つp型金属酸化膜半導体 (PMOS) を含み、第1 p型金属酸化膜半導体 (PMOS) をセレクトトランジスタとし、そのゲート電極はセレクトゲート電圧 (V_{SG}) に接続する。第1ターミナル (ソース) はソースライン電圧 (V_{SL}) に接続する。

20 また、第2ターミナル (ドレイン) は第2 p型金属酸化膜半導体 (PMOS) の第1ターミナルに接続する。

【0033】該第2 p型金属酸化膜半導体 (PMOS) の第2ターミナルは、ビットライン電圧 (V_{BL}) に接続する。該第2 p型金属酸化膜半導体 (PMOS) のゲート電極は、フローティングゲートとする。ここで注意すべきは、本発明による消去型プログラマブルリードオンリーメモリ素子はコントロールゲートを具えないことである。これは周知の技術に比して設計上の大きな突破といえる。適宜なターミナルバイアスを利用してチャネル熱電子のキャリアをフローティングゲートに注入する。

【0034】図4にこの発明による消去型プログラマブルリードオンリーメモリセルのレイアウトを開示する。図示に依ればイオン打ち込み領域 (2) を含む。(図示に於いて横方向に配置した領域) 一般的なイオン打ち込み技術を利用して該イオン打ち込み領域を基板に形成する事ができるが、好ましい実施例はその構造に帯状構造を含むように形成する。第1導電領域 (4) と第2導電領域 (6) は、基板上にあって該基板を覆い、且つ該イオン打ち込み領域 (2) と交差し、交差積層領域を形成し、それぞれセレクトトランジスタのゲート電極とフローティングゲートとする。セレクトトランジスタのゲート構造は、帯状構造を含み、且つセレクトゲート電圧 (V_{SG}) に接続する。この発明は、コントロールゲートを具えないレイアウト構成を特徴とする。よって空間を節減することができ、半導体技術の趨勢に適い、相補性金属酸化膜半導体 (CMOS) の製造工程と整合させることができる。

【0035】ビットラインとセレクトラインとのコンタクトホールは、マイクロフォト及びエッチングの製造工程を利用してイオン打ち込み領域 (2) に対して形成す

る。

【0036】第2導電領域(6)は、前記第1導電領域(4)の側面で且つ基板上に位置し、イオン打ち込み領域(2)と交差する積層領域を具え、上述のようにフローティングゲートとする。ここで注意すべき点は、周知の技術におけるコントロールゲートとフローティングゲートとをカップリングして操作の状態を制御しないことがある。この発明における操作のシステムは熱電子を注入する方式(hot electron injection:HE)によって複数のビットのプログラミングを完成させる。プログラミングモードにおいてデバイス素子のフローティングゲートは熱電子を充電させ、フローティングゲート電圧を0よりも小さい電圧にし、デバイスの素子の起動状態を保持させる(cell keep on)。消去モードにおいては紫外線照射方式で消去を行ってよい。この場合フローティングゲートに電荷の保存がない。

【0037】図9及び図10にこの発明に用いるp型金属酸化膜半導体(PMOS)素子の特性を開示する。図9は、ドレインの電流及び電圧特性説明図であって図10はゲート電極の電流及び電圧特性説明図である。図10においてドレインバイアスがマイナス5、若しくは6ボルトの場合、ゲート電極電流ピーク時におけるPMOSゲート電圧が約マイナス1ボルトになる。この状態においてキャリアが、バイアスを自動的にフローティングゲートに注入する必要がなくなる。よってこの発明においては、コントロールゲートを配置する必要がない。いわゆる自動的とは、コントロールゲートに特定のバイアスを印加することなくプログラミングモードを実行できることを指す。フローティングゲート電圧の下降に伴って(マイナスに向かう)プログラミング状態が閉鎖される。この発明は、低電圧プログラミングを実行することができ、且つ高いIG/ID効率を具える。

【0038】この発明におけるプログラミングモードの"1"と"0"とを書き込む状態は、表1及び図5、図6を参考にすることができる。以下に述べる電圧及び状態は、実施例の説明であって、この発明の実施の範囲*

操作	選択されたワードライン	選択されないワードライン	選択されたビットライン	選択されないビットライン	ソースラ	Nウェル
"1"書き込み	0 V	5 V	0 V	5 V	5 V	5 V
"0"書き込み	0 V	5 V	5 V	5 V	5 V	5 V
読み取り	0 V	3.3 V	2.3 V	3.3 V	3.3 V	3.3 V

【0043】上述のようにこの発明によるメモリセルは、プログラミング状態に於いてコントロールゲートの操作を必要としないで、フローティングゲートが自動的に充電されて数値書き込み状態になる。よって本発明は

*を限定するものではない。よって、記憶媒体技術に習熟した者は当然のことながら操作電圧を変更して類似する結果を得ることができる。

【0039】表1によれば、"1"を書き込む状態において、選択されたワードラインを接地(0電圧)とし、選択されないワードラインのバイアスを5ボルトとする。また、選択されたビットラインを0電圧とし、選択されないビットラインのバイアスを5ボルトとし、ソースバイアスを5ボルトとする。この条件に於いて選択されたセレクトトランジスタのPMOSが起動(turn on)し、熱電子が第2トランジスタのフローティングゲートに注入され"1"を書き込んだ状態になる。

【0040】"0"を書き込む状態において、選択されたワードラインを接地(0電圧)とし、選択されないワードラインのバイアスを5ボルトとする。また、選択されたビットラインを5ボルトとし、選択されないビットラインのバイアスを5ボルトとし、ソースバイアスを5ボルトとし、Nウェルバイアスを5ボルトとする。この条件に於いて熱電子は素子が閉鎖された状態にあって、フローティングゲートに注入されなくなり、数字の"0"を定義しやすい状態になる。

【0041】読み取りモードにおいて、選択されたワードラインを接地(0電圧)とし、選択されないワードラインのバイアスを3.3ボルトとする。また、選択されたビットラインを2.3ボルトとし、選択されないビットラインのバイアスを3.3ボルトとし、ソースバイアスを3.3ボルトとし、Nウェルバイアスを3.3ボルトとする。仮にメモリセルがすでにプログラミングされていれば、フローティングゲートには既に電荷が充填していて、即ちV_F-V_G<V_{THP}(PMOSしきい電圧)であって、メモリセルは開放状態を維持する。プログラミングされていないメモリセルのフローティングゲートには、電荷が保存されていない、即ちV_F-V_G=0V>V_{THP}(PMOSしきい電圧)であって、メモリセルは閉鎖状態を維持する。

【0042】表1

新規な消去型プログラマブルリードオンリーメモリを提供するものであって、その特徴はコントロールゲートの作成を省き、レイアウト面積を節減することができ、且つCMOS製造工程と整合することができる。

【0044】図11はこの発明による記憶媒体のアレイ説明図である。プログラミングモードにおいて"1"を書き込んだ状態にあるメモリセル(I)に於いてドレインバイアスはマイナス5か若しくは6ボルトになり、セレクトトランジスタのゲート電極は0ボルトになる。その他は、同一のビットライン上にあり、但しプログラミングの動作を行わないメモリセル(cell(II) cell(III) cell(IV))である。そのトランジスタは閉鎖状態にあり、且つドレインからフローティングゲートに至る電場は、熱電子を注入/発生させるに足りない。この為一般的な積層記憶素子に良く見られるドレインの干渉(drain disturbance)が発生しない。次にフローティングゲートはワードラインによって電圧をカッピングさせない為、ゲート電極の干渉(gate disturbance)が発生しない。

【0045】以上は本発明の好ましい実施例を開示したものに過ぎず、この発明の特許請求の範囲を限定するものではない。よってこの発明に開示される精神を離れない範囲内で完成された均等の効果を有する変更、若しくは修正などは、いずれも以下の特許請求の範囲に含まれるものとする。

【0046】

【発明の効果】本発明による不揮発性記憶媒体は、相補性金属酸化膜半導体(complementary metal-oxide semiconductor:CMOS)製造工程との整合に有利な構造を具え、かつレイアウト空間を節減することができる。*

* 【図面の簡単な説明】

【図1】 従来の技術によるレイアウトの説明図である。

【図2】 従来の技術によるレイアウトの説明図である。

【図3】 この発明による回路の説明図である。

【図4】 この発明によるレイアウト説明図である。

【図5】 この発明のプログラミングモードにおいて"1"を書き込んだ場合の断面の説明図である。

【図6】 この発明のプログラミングモードにおいて"0"を書き込んだ場合の断面説明図である。

【図7】 この発明における読み取りモードの断面説明図である。

【図8】 この発明における読み取りモードの断面説明図である。

【図9】 ドレインの電流、及び電圧特性の説明図である。

【図10】 ゲート電極の電流及び電圧特性の説明図である。

【図11】 この発明による記憶媒体に用いられるアレイの説明図である。

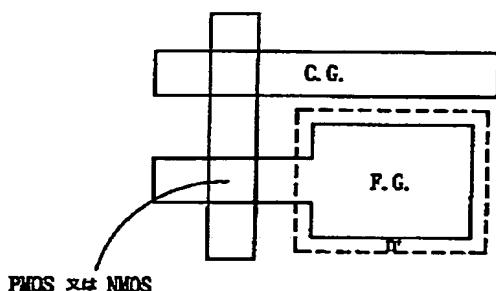
【符号の説明】

2 イオン打ち込み領域

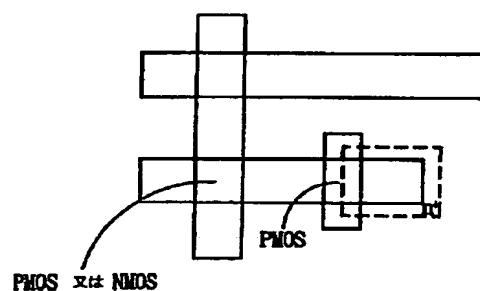
4 第1導電領域

6 第2導電領域

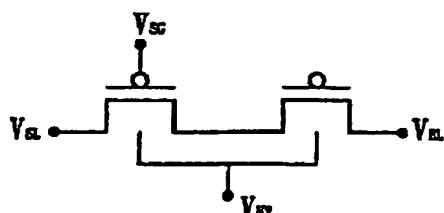
【図1】



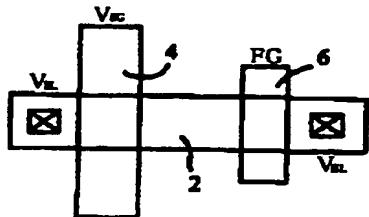
【図2】



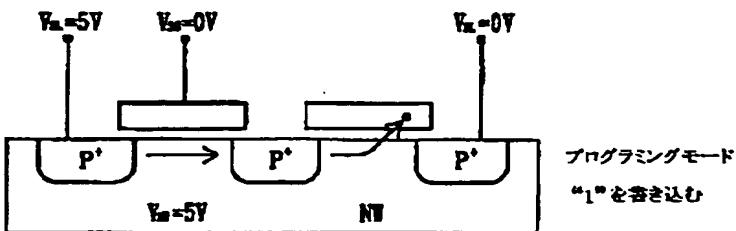
【図3】



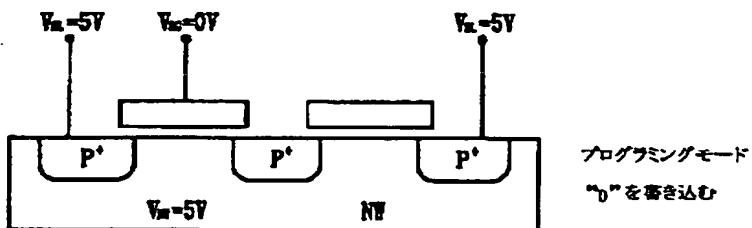
【図4】



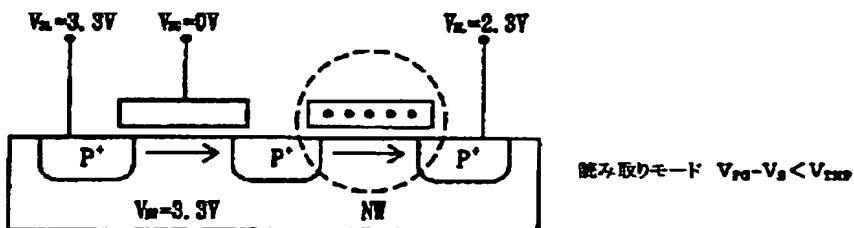
【図5】



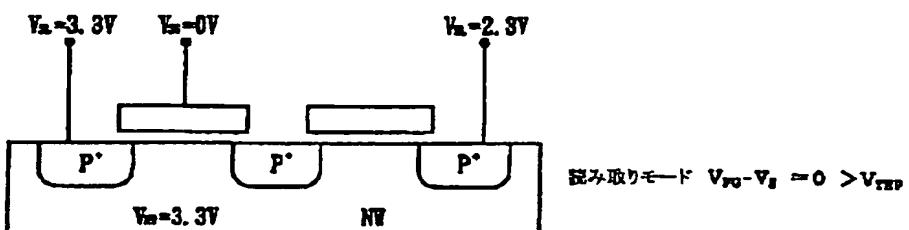
【図6】



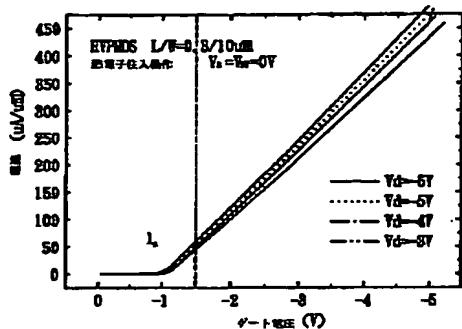
【図7】



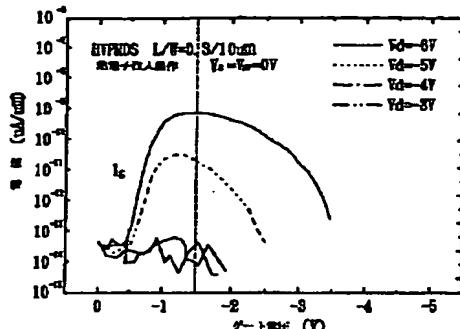
【図8】



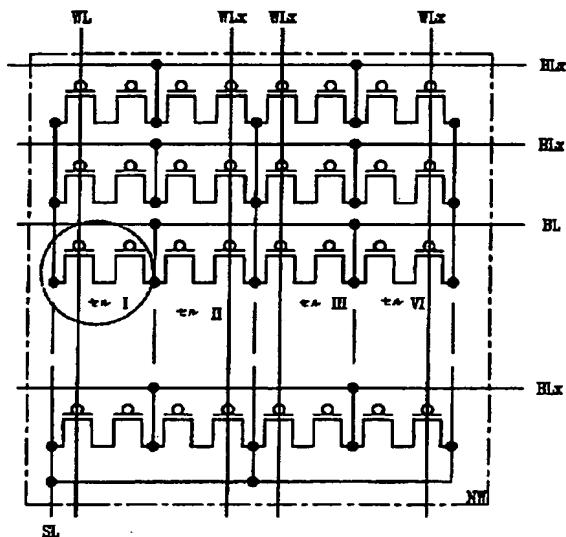
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.
 H 01 L 29/792

識別記号

F I

マーク (参考)

F ターム (参考) 5B025 AA01 AB03 AC03
 5F083 EP02 EP32 ER02 ER09 ER25
 PR42 PR52
 5F101 BA05 BB12 BC11 BD02 BD22
 BE05 BE08 BH21

【外国語明細書】

SINGLE POLY EMBEDDED EPROM

The present invention relates to a semiconductor device, and more specifically, to a single poly embedded 5 one-time programming (OTP) memory.

Background of the Invention

The semiconductor industry has been advanced to the field of Ultra Large Scale Integrated (ULSI) technologies. 10 The fabrication of the nonvolatile memories also follows the trend of the size reduction of a device. Thanks to their advantages, such as non-volatility, fast access time and low power dissipation, non-volatile memory can be applied as portable handy equipments, solid-state camera 15 and PC cards. The nonvolatile memories include various types of devices, such as EAROM (electrically alterable read only memory), and EEPROM (electrically erasable programmable read only memory). Different types of devices have been developed for specific applications. These parts 20 have been developed with a focus on the high endurance and high-speed requirements. EEPROM needs multi-layer of polysilicon and silicon dioxide, therefore, multi-masking are used during the fabrication, thereby increasing the time for manufacturing the devices. One of the present 25 researches is focus on how to integrate the manufacture process to reduce the cost. One of the approaches is to integrate the memory process with the CMOS fabrication. Up to now, many approaches toward to the formation of the 30 EPROM and EEPROM by using one single poly process. In the technique, the control gate is buried in silicon bulk by

ion implantation. EPROM or OTP, which is compatible with the single poly process, plays more important role in the semiconductor field.

5 A prior art that relates to the field is disclosed in the US Patent No. 6,174,759 to Verhaar, entitled "Method of manufacturing a semiconductor device". The assignee is U.S. Philips Corporation (New York, NY) and filed the prior art on May 3, 1999. The method disclosed a process
10 that can integrate with the CMOS process. Lucent Technologies, Inc. disclosed a single poly EEPROM on 5, 31, 2000 in US Patent No. 6,191,980. The device includes control device, switch device and erase device, all of which share a common polysilicon floating gate which is
15 designed to retain charge in the programmed memory cell. The memory cell can be safely erased without risking the junction breakdowns. Mosel Vitelic, Inc. (Hsinchu, TW) disclosed a single poly memory and filed on 6, 17, 1998, entitled "Single-poly flash memory cell for embedded
20 application and related methods". The prior art can be found in US Patent No. 6,044,018. The prior art includes a single-poly flash memory cell manufacturable by a standard CMOS fabrication process. A NMOS floating gate is electrically connected to a PMOS floating gate.

25

 In the article IEEE transaction on electron device, Vol. 37, No. 3, March 1990 p. 675, in which disclosed single poly-Si EEPROM. The structure includes an embedded control gate that is formed by ion implantation. The cell
30 includes separated transistor and coupled capacitor and

can be manufacturable by standard CMOS process. The further technique that can be compatible with the CMOS can be found in IEEE JOURNAL OF SOLID STATE CIRCUITS, Vol. 29, No. 3, 1994, p. 311. The structure includes NMOS and PMOS, 5 the inversion layer under the PMOS gate and p+ doped region act as the control gate. When positive voltage applies to the p+ doped region, the voltage level of the floating gate determines the capacitance ratio of the NMOS and PMOS. The art may be formed by standard CMOS process. 10 The structure refers to SIPPOS (single poly pure CMOS).

FIGURE 1 shows the layout of prior single poly non-volatile memory, the structure includes n+ doped region under the floating gate and buried in the substrate. The 15 structure occupies too much area. FIGURE 2 shows another type of layer according to the prior art. The structure is consisted of a capacitor and a PMOS. The technique has to provide space for forming the capacitor.

20 Summary of the Invention

The object of the present invention is to disclose nonvolatile memory or one-time programming (OTP) memory. One of the features includes that the device consists of two serial connected P-type metal-oxide-semiconductor 25 transistors.

An erasable programmable read only memory comprising two serially connected P-type metal-oxide semiconductor (MOS) transistors. Wherein a first P-type metal-oxide 30 semiconductor transistor acts as a select transistor, a

second P-type metal-oxide semiconductor transistor, wherein a gate of the second P-type metal-oxide semiconductor transistor serves as a floating gate, biasing a drain of the second P-type metal-oxide 5 semiconductor transistor to a first negative bias, thereby providing a second negative bias on the floating gate to perform programming mode without applying a certain bias on a control gate.

10 An erasable programmable read only memory without a control gate comprises a doped region formed by ion implantation in a substrate. A first conductive area is covered on the substrate and forms a first cross structure with a first overlap area to act as a select transistor 15 gate and is connected to a select gate voltage (V_{sg}). A second conductive region located at side of the first conductive region and on the substrate and forms a second cross structure with a second overlap area to act as a floating gate. Wherein a feature of the erasable 20 programmable read only memory is that a control gate is omitted, thereby reducing device size and the process is compatible with CMOS process.

Brief Description of the Drawings

25 The foregoing aspects and many of the attendant advantages of this invention will become more readily appreciated as the same becomes better understood by reference to the following detailed descriptions, when taken in conjunction with the accompanying drawings, 30 wherein:

FIGURE 1 shows a layout according to the prior art.

FIGURE 2 shows another layout according to the prior art.

FIGURE 3 shows the circuit according to the present 5 invention.

FIGURE 4 illustrates a layout according to the present invention.

FIGURE 5 is a cross sectional view of a substrate illustrating the programming mode of writing the status 10 "1" according to the present invention.

FIGURE 6 is a cross sectional view of a substrate illustrating the programming mode of writing the status "0" according to the present invention.

FIGURES 7,8 are cross sectional views of a substrate 15 illustrating the reading mode according to the present invention.

FIGURE 9 shows the drain current-voltage drawing according to the present invention.

FIGURE 10 shows the gate current-voltage drawing 20 according to the present invention.

FIGURE 11 illustrates the memory cell array according to the present invention.

Detailed Description of the Preferred Embodiment

25 The present invention proposes a novel method to fabricate the device and the structure of the same. The aspect of the present invention includes two serially connected PMOS transistors. The characteristic of the devices is that bias is not necessary to apply on the 30 floating gate during the programming mode. Thus, the

control gate is omitted for the structure or layout, thereby saving the space for making the control gate. The present invention may "automatically inject" carrier onto floating gate for programming the status of the device.

5 The term "automatically inject" refers to that the device does not need to apply bias on the control gate for programming. The present invention uses PMOS transistors, therefore the device can be formed by using standard CMOS process.

10

The detail description of the method will be seen as follows. Turning to FIGURE 3, it shows the circuit according to the present invention. The device includes two serially connected PMOS transistors, the first PMOS 15 transistor is used as select transistor and the gate of the transistor is connected to the select gate voltage (V_{SG}). The first terminal (source) of the first PMOS transistor is biased to source line voltage, and the second terminal (drain) is connected to the first terminal 20 of the second PMOS transistor and the second terminal of the second PMOS transistor is connected to the bit line voltage (V_{BL}). The gate of the second PMOS transistor acts as the floating gate. It has to be noted that the cell according to the present invention omits the control gate 25 compared to the prior art. The channel hot carrier will inject onto the floating gate by applying suitable bias.

FIGURE 4 shows the EPROM layout of the present invention, the device includes a doped region 2 (lateral 30 configuration area in the drawing). Typically, the doped

region can be formed by ion implantation, the doped region 2 can be shaped with stripe structure. A first conductive area 4 and a second conductive area 6 are covered on the substrate and form cross configuration structure with 5 overlap area to act as selecting transistor gate and floating gate. The gate of the selecting transistor comprises a stripe structure and is connected to selecting gate voltage (V_{sg}). One of the aspects of the present invention is that the control gate is omitted, therefore, 10 the present invention may reduce the device size, meet the requirement of the IC trend and integrate with CMOS process. The bit line and contact window of the selecting line can be formed and aligned to the doped region 2 by using lithography and etching process.

15

The second conductive area 6 locates at the side of the first conductive area 4 and on the substrate forms cross configuration structure with overlap area to act as floating gate. The programming operation is achieved by 20 using channel hot electron injection (CHE) and the floating gate is charged by hot electrons in the programming state, the voltage level of the floating gate is less than ground level. The device cell keeps "turn on". During the erase mode, the digital states may be altered 25 by exposing using ultra violate (UV) ray to alter the state. In the erase state, there is no charge in the floating gate.

FIGURES 9 illustrates the drain current-voltage 30 characteristic and FIGURE 10 shows the gate current-

voltage characteristic. In FIGURE 10, the drain bias is negative five or six volts. At the current peak value of the gate current, the PMOS gate bias is about negative one volt. Under such circumstance, the carrier will inject 5 onto the floating gate automatically without applying bias on the floating gate. Thus, the control gate is omitted. The term "automatically inject" refers to that the device does not need to apply bias on the control gate for programming. With going down of the floating gate bias, 10 the programming mode is then "turned off". The higher I_c/I_b efficient can be obtained with lower power consumption.

The conditions for writing "digital one" and "digital 15 zero" may refer to Table one and FIGURES five and six. During the mode for writing "digital one", the selected word line is grounded and the unselected word line is ranging from 3-8 volts, preferably about five volts. The selected bit line is ground and the bias of the unselected 20 bit line is ranging from 3-8 volts. 3-8 volts, preferably five volts, bias applies on the source node and N well is connected to 3-8 volts. The PMOS transistor of the selected transistor turns on and the hot channel electron injects onto the floating gate of the second 25 transistor.

During the mode for writing "digital zero", the selected word line is ground and 3-8 volts is biased to the unselected word line. The selected bit line is ranging 30 from 3-8 volts, preferably 5 volts and the unselected bit

line is ranging from 3-8 volts. The source node N well are respectively connected to 3-8 volts. The device is under the status of "off" and therefore the hot carrier is unable to inject into the floating gate.

5

In the read operation, the selected word line is ground. The unselected word line is bias to 2.5-5 volts and selected bit line is ranging from 0-2.5 volts. The unselected bit line is biased to 3.3 volts. The source 10 node is also biased to 2.5-5 volts. N well is respectively connected to 2.5-5 volts. If the cell is programmed, the floating gate is charged with carrier, then $V_{FG}-V_s < V_{THP}$ (threshold voltage of PMOS), the device maintains at the status of "ON". The floating gate of those unprogrammed 15 cells have no charge therein, then $V_{FG}-V_s = 0 > V_{THP}$ (threshold voltage of PMOS), the device at the status of "OFF".

As aforementioned, the device does not need the 20 control gate for programming. The floating gate may self-charge to define the digital status. The feature of the present invention includes: the device can be manufacturable by standard CMOS process. The space for forming the control gate can be omitted, thereby reducing 25 the layout area.

FIGURE 11 illustrates the cell array. In cell I, in the mode for writing "digital one", the drain is biased to five or six volts and the gate of select transistor is 30 connected to ground. Other cells (cell II, cell III and

cell IV) that are not under programming on the same bit line do not suffer the drain disturbance that typically occurs at stacked gate memory, it is because that the transistor is at off-state and the electric field between 5 the drain and floating gate is not strong enough to inject/generate hot carrier. Further, the potential coupling of the floating gate is not induced by the word line, thereby eliminating the gate disturbance phenomenon.

10 As will be understood by persons skilled in the art, the foregoing preferred embodiment of the present invention is illustrative of the present invention rather than limiting the present invention. Having described the invention in connection with a preferred embodiment, 15 modification will now suggest itself to those skilled in the art. Thus, the invention is not to be limited to this embodiment, but rather the invention is intended to cover various modifications and similar arrangements included within the spirit and scope of the appended claims, the 20 scope of which should be accorded the broadest interpretation so as to encompass all such modifications and similar structures.

TABLE ONE

Operation	Select WL	Unselect WL	Select BL	Unselect BL	Source line	N-well
Write one	0V	5V	0V	5V	5V	5V
Write zero	0V	5V	5V	5V	5V	5V
Read	0V	3.3V	2.3V	3.3V	3.3V	3.3V

25

While the preferred embodiment of the invention has been illustrated and described, it will be appreciated that various changes can be made therein without departing from the spirit and scope of the invention.

What is claimed is:

1. An erasable programmable read only memory comprising:

two serially connected P-type metal-oxide semiconductor (MOS) transistors, wherein a first P-type metal-oxide semiconductor transistor acts as select transistor, a gate of said first P-type metal-oxide semiconductor transistor is coupled to select gate voltage, a first node of said first P-type metal-oxide semiconductor transistor connected to source line voltage, a second node of said first P-type metal-oxide semiconductor transistor connected to a first node of a second P-type metal-oxide semiconductor transistor, wherein a second node of said second P-type metal-oxide semiconductor transistor is connected to bit line voltage, wherein a gate of said second P-type metal-oxide semiconductor transistor serves as a floating gate, wherein said erasable programmable read only memory does not need to bias a certain voltage on a control gate for programming and thereby injecting hot carriers onto said floating gate.

2. The erasable programmable read only memory of Claim 1, during a mode for writing "digital one", a selected word line is grounded and a unselected word line is biased to about a first voltage, wherein a selected bit line is grounded, a unselected bit line is about said first voltage, a source node and a N well are connected to said first voltage, thereby turning on said selected transistor and injecting hot channel carriers onto said floating gate of said second P-type metal-oxide semiconductor transistor.

3. The erasable programmable read only memory of Claim 2, wherein said first voltage is ranging from 3-8 volts.

4. The erasable programmable read only memory of Claim 1, during a mode for writing "digital zero", a selected word line is grounded and an unselect word line is applied to a second voltage, a selected bit line is about said first second voltage and an unselect bit line is also about said second voltage, a source node and a N well are respectively connected to said second voltage, thereby turning off said select transistor and hot carrier is unable to inject onto said floating gate.

5. The erasable programmable read only memory of Claim 4, wherein said second voltage is ranging from 3-8 volts.

6. The erasable programmable read only memory of Claim 1, during read mode, a selected word line is grounded and unselected word line is biased to a third voltage, a selected bit line is about a forth voltage, a unselect bit line is biased to said third voltage, a source node is also biased to said third voltage and a N well is connected to said third voltage, thereby turning on said select transistor for reading the status stored in said floating gate.

7. The erasable programmable read only memory of Claim 6, wherein said third voltage is ranging from 2.5-5 volts.

8. The erasable programmable read only memory of Claim 6, wherein said fourth voltage is ranging from 0-2.5 volts.

9. An erasable programmable read only memory that omits a control gate comprising:

a doped region formed by ion implantation in a substrate;

a first conductive area covered on said substrate and forms a first cross structure with a first overlap area to acts as a select transistor gate and connected to a select gate voltage (V_{SG});

a second conductive region located at a side of said first conductive region and on said substrate and forms a second cross structure with a second overlap area to acts as a floating gate;

wherein a feature of said erasable programmable read only memory is that a control gate is omitted, thereby reducing device size and integratable with CMOS process.

10. The erasable programmable read only memory of Claim 9, during a mode for writing "digital one", a selected word line is grounded and a unselected word line is bias to about a first voltage, wherein a selected bit line is grounded, a unselected bit line is about said first voltage, a source node and a N well are connected to said first voltage, thereby turning on said selected transistor and injecting hot channel carrier onto said floating gate of said second P-type metal-oxide semiconductor transistor.

11. The erasable programmable read only memory of Claim 9, during a mode for writing "digital zero", a selected word line is grounded and a unselect word line is applied to a second voltages, a selected bit line is about said first second voltage and a unselect bit line is also about said second voltage, a source node and a N well are

respectively connected to said second voltage, thereby turning off said select transistor and hot carrier is unable to inject onto said floating gate.

12. The erasable programmable read only memory of Claim 9, during read mode, a selected word line is grounded and unselected word line is biased to a third voltages, a selected bit line is about a forth voltage, a unselect bit line is biased to said third voltage, a source node is also bias to said third voltage and a N well is connected to said third voltage, thereby turning on said select transistor for reading the status stored in said floating gate.

13. The erasable programmable read only memory of Claim 9, wherein a cell array, an unselect transistor does not suffer a drain disturbance because said unselect transistor is at off-state and the electric field between said bit line and said floating gate is not strong enough to inject/generate hot carriers, a coupling of said floating gate is not induced by the word line, thereby eliminating the gate disturbance phenomenon.

14. An erasable programmable read only memory comprising:

two serially connected P-type metal-oxide semiconductor (MOS) transistors, wherein a first P-type metal-oxide semiconductor transistor acts as select transistor, a second P-type metal-oxide semiconductor transistor connected to said first P-type metal-oxide semiconductor transistor, wherein a gate of said second P-type metal-oxide semiconductor transistor serves as a floating gate, in a programming mode, a drain of said

second P-type metal-oxide semiconductor transistor is biased to a first negative voltage and providing a second negative voltage on said floating gate to perform programming without apply a certain bias on a control gate.

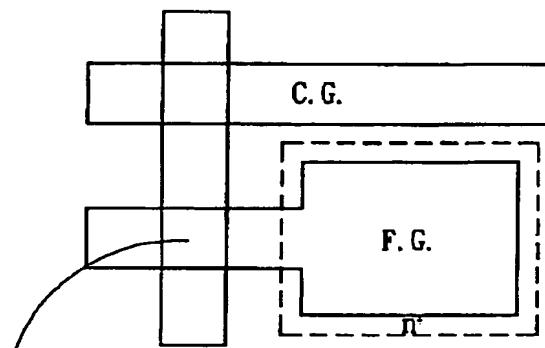
15. The erasable programmable read only memory of Claim 14, wherein a gate of said select transistor connected to a select gate voltage.

16. The erasable programmable read only memory of Claim 14, wherein a first node of said select transistor connected to a source line voltage.

17. The erasable programmable read only memory of Claim 14, wherein a second node of said select gate is connected to a first node of said second P-type metal-oxide semiconductor transistor and a second node of said second P-type metal-oxide semiconductor transistor is connected to a bit line voltage.

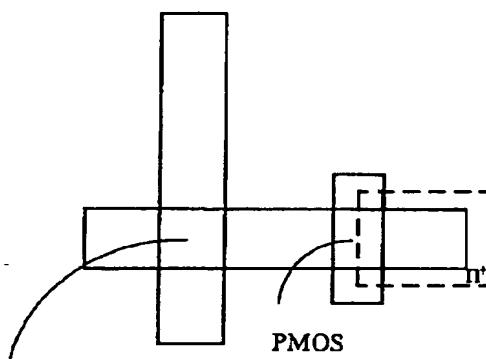
(26)

特開2003-168747



PMOS or NMOS

FIGURE 1



PMOS or NMOS

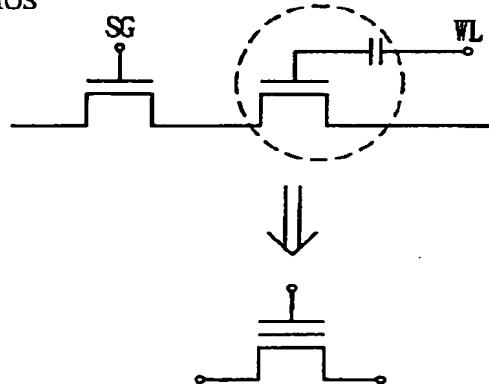


FIGURE 2

(27)

特開2003-168747

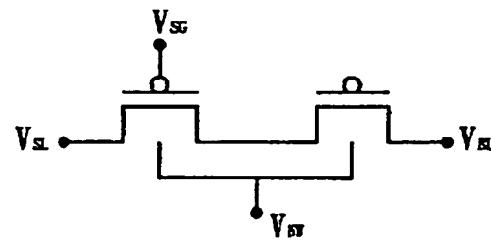


FIGURE 3

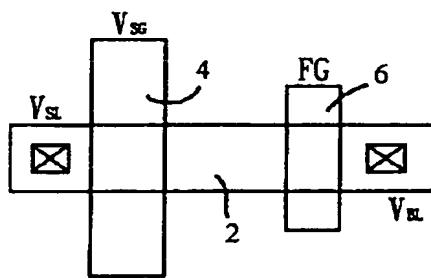


FIGURE 4

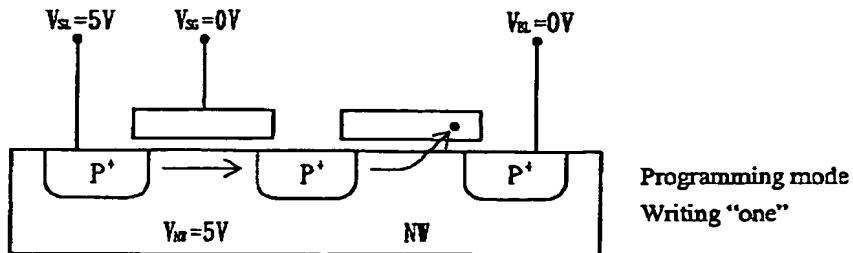


FIGURE 5

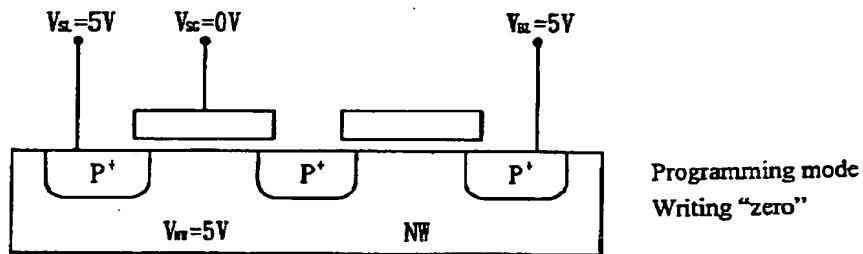


FIGURE 6

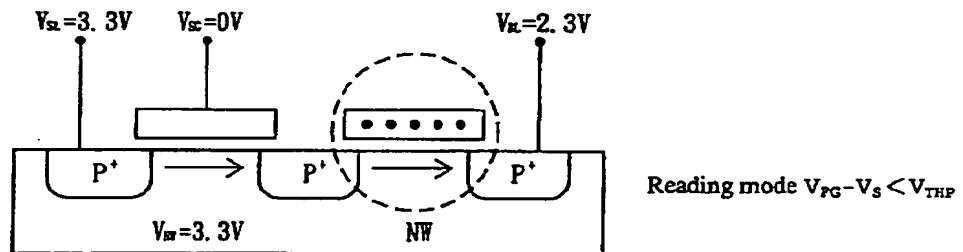


FIGURE 7

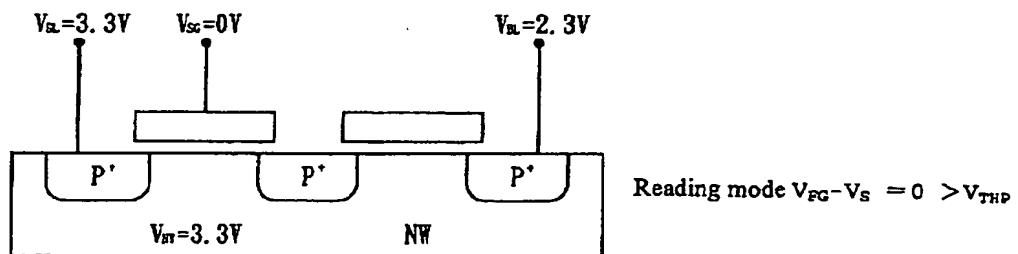


FIGURE 8

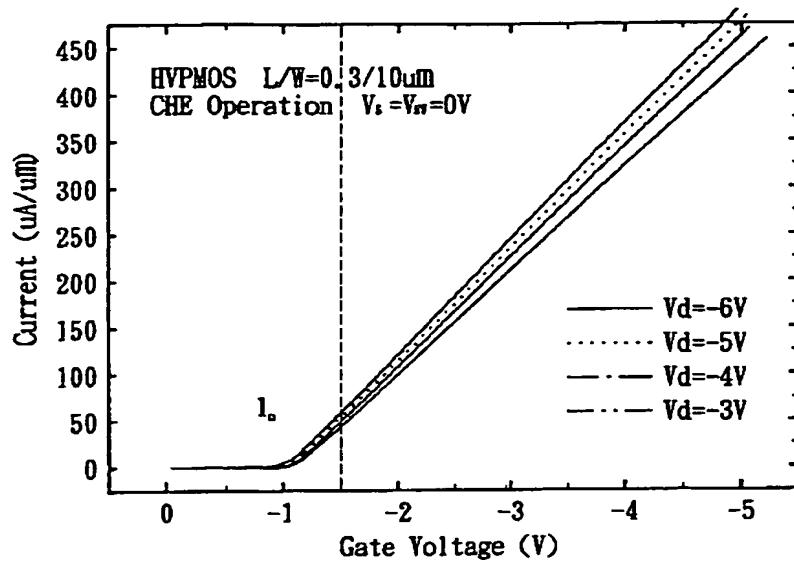


FIGURE 9

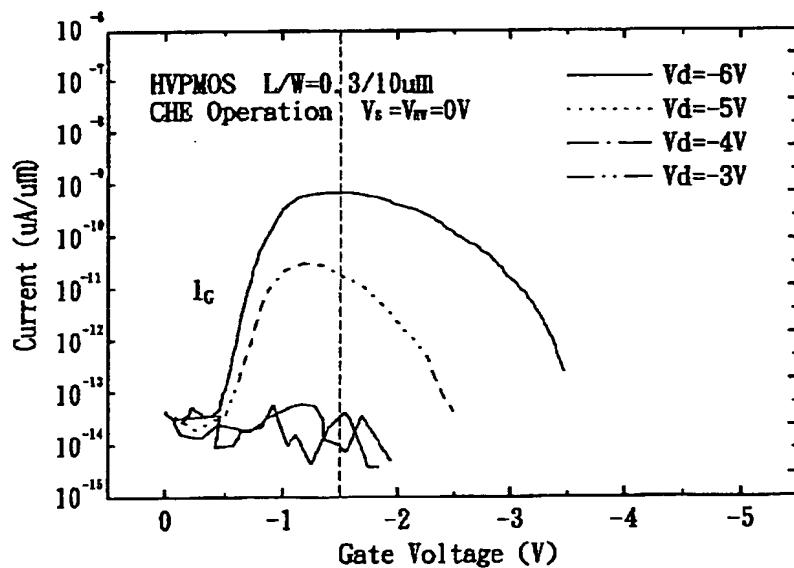


FIGURE 10

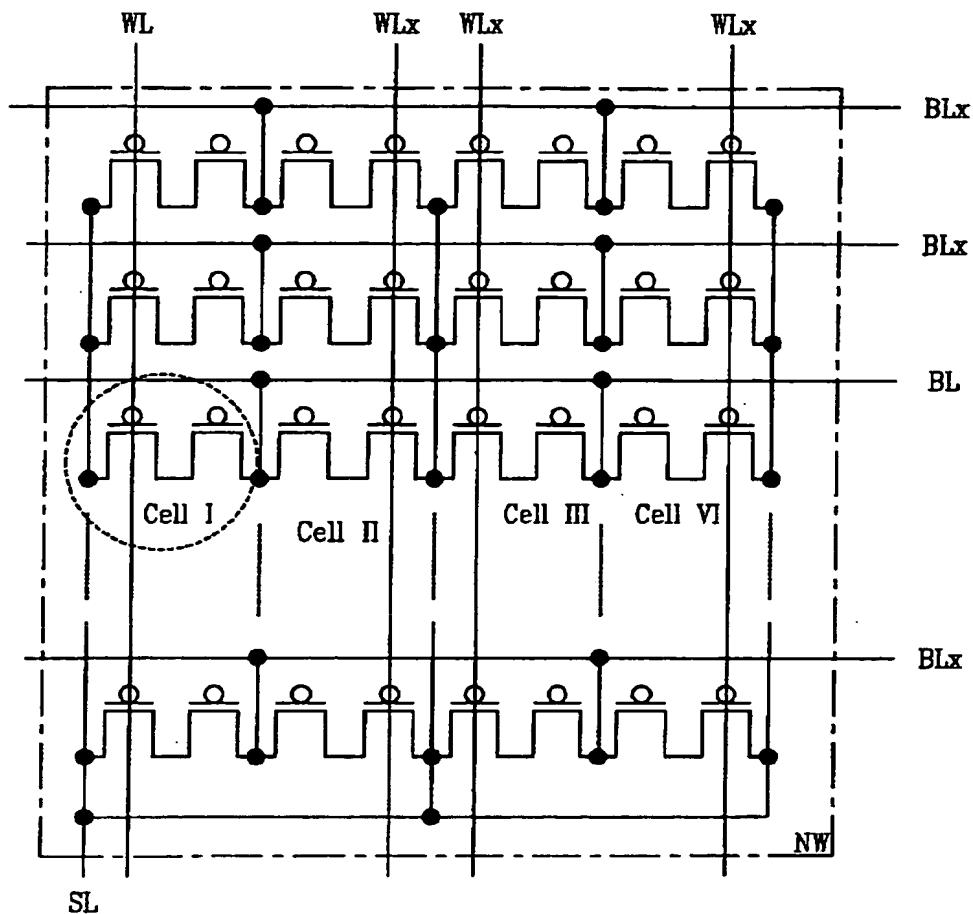


FIGURE 11

SINGLE POLY EMBEDDED EPROM

Abstract of the Disclosure

The present invention proposes a novel structure of nonvolatile memory. The aspect of the present invention includes two serially connected PMOS transistor. The characteristic of the devices is that bias is not necessary to apply to the floating gate during the programming mode. Thus, the control gate is omitted for the structure or layout, thereby saving the space for making the control gate. The present invention may "automatically inject" carrier into floating gate for programming the status of the device.